

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223187
 (43)Date of publication of application : 17.08.2001

(51)Int.CI. H01L 21/304

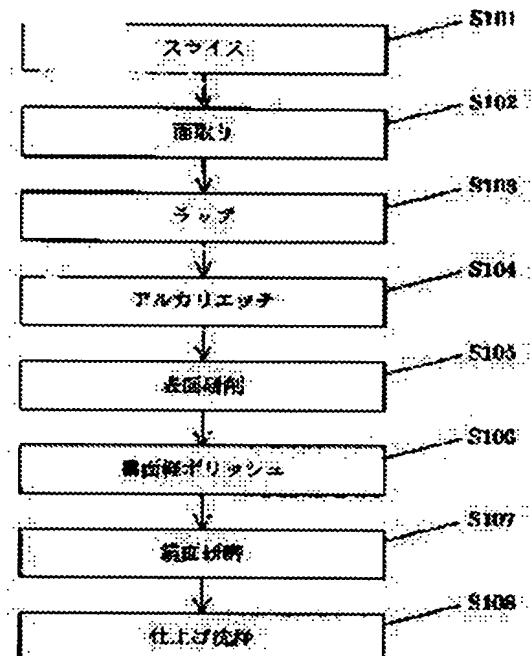
(21)Application number : 2000-033579 (71)Applicant : MITSUBISHI MATERIALS SILICON CORP
 (22)Date of filing : 10.02.2000 (72)Inventor : MATAGAWA SATOSHI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor wafer where nanotopology is small, flatness is superior, and the amount of polishing in the mirror-surface polishing process of a wafer surface is small.

SOLUTION: A lapped wafer is etched by alkali. Therefore, nanotopology appearing on a wafer surface can be reduced, thus suppressing the decrease in a yield in the CMP process. After etching, surface polishing with low damage is executed onto the wafer surface, thus obtaining superior flatness, preventing the decrease in resolution in an exposure process, at the same time reducing the amount of polishing in mirror surface polishing to less than 10 µm, and reducing polishing time. After that, the reverse side of a wafer is polished lightly, thus preventing the roughness of the reverse side of the wafer from being deteriorated by alkali etching. Also, the front and the rear cannot be identified due to light polishing.



LEGAL STATUS

[Date of request for examination] 11.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3596405

[Date of registration] 17.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-223187

(P2001-223187A)

(43)公開日 平成13年8月17日 (2001.8.17)

(51)Int.Cl.
H 01 L 21/304識別記号
6 0 1F I
H 01 L 21/304テ-マコード (参考)
6 0 1 Z

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願2000-33579(P2000-33579)

(22)出願日 平成12年2月10日 (2000.2.10)

(71)出願人 000228925
三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(72)発明者 又川 敏
東京都千代田区大手町1丁目5番1号 三菱マテリアルシリコン株式会社内

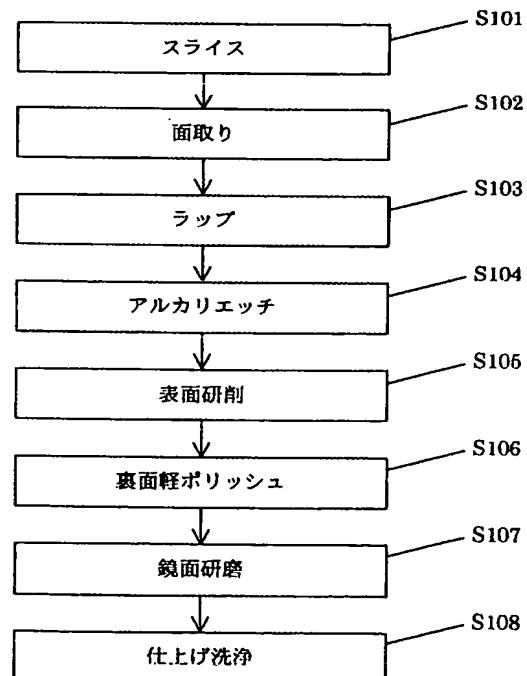
(74)代理人 100094215
弁理士 安倍 逸郎

(54)【発明の名称】 半導体ウェーハの製造方法

(57)【要約】

【課題】 ナノトポロジーが小さく、高平坦度で、ウェーハ表面の鏡面研磨工程での研磨量が少ない半導体ウェーハの製造方法を提供する。

【解決手段】 ラップドウェーハをアルカリエッチする。よって、ウェーハ表面に現出されるナノトポロジーを低減することができる。その結果、C M P工程での歩留りの低下を抑えられる。エッチ後、ウェーハ表面に低ダメージの表面研削を施す。よって、高平坦度が得られ、露光工程での解像度の低下を防止することができるとともに、鏡面研磨時の研磨量が $10 \mu m$ 未満で済み、その研磨時間も短くなる。次いで、ウェーハ裏面を軽ポリッシュする。これにより、アルカリエッチによるウェーハ裏面の粗さの悪化を防ぐことができる。また、軽ポリッシュのため、表裏面の識別は可能である。



【特許請求の範囲】

【請求項1】 ラップ後の半導体ウェーハを、アルカリ性エッチング液によりエッチングするアルカリエッチ工程と、

このアルカリエッチ後、半導体ウェーハの表面に、低ダメージ用の研削砥石を用いて低ダメージの研削を行なう表面研削工程と、

この表面研削を行なってから、アルカリエッチによってウェーハの裏面に形成された凹凸を軽く研磨する裏面軽ポリッシュ工程と、

この裏面軽ポリッシュ後、半導体ウェーハ表の面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法。

【請求項2】 上記裏面軽ポリッシュ工程での半導体ウェーハの裏面の研磨量が0.1～4.0μmである請求項1に記載の半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体ウェーハの製造方法、詳しくはナノトポロジーが小さく、高平坦度で、ウェーハ表面の鏡面研磨工程での研磨量が少ない半導体ウェーハの製造方法に関する。

【0002】

【従来の技術】 従来のシリコンウェーハの製造では、インゴットをスライスしてシリコンウェーハを作製した後、このシリコンウェーハに対して面取り、ラッピング、酸エッチ、鏡面研磨の各工程が順次施される。このうち、酸エッチ工程では、ラップ後のウェーハ（ラップドウェーハ）を混酸などの酸性エッチング液に浸漬し、そのラップ加工での歪み、面取り工程での歪みなどを除去している。この酸エッチはシリコンウェーハとの反応性が高くて、エッチング速度が比較的速いという利点を有する一方、エッチング中に多量の気泡が発生し、その影響でウェーハの表裏両面に、周期0.2～20mmくらい、高さ数十～数百nmくらいのうねりが発生し、その結果、ウェーハ表面の平坦度が低下されていた。

【0003】 ところで、デバイス工程中のフォトリソグラフィ工程において、ウェーハ保持板にシリコンウェーハを吸着すると、ウェーハ裏面のうねりが、鏡面研磨されたウェーハ表面に転写されるという現象が起きる（以下、このウェーハ表面に転写されたうねりをナノトポロジーという）。これにより、露光の解像度が低下されて、デバイスの歩留りが小さくなっていた。そこで、このような転写現象を抑える従来法として、例えば特許第2910507号の「半導体ウェーハの製造方法」が知られている。この従来法は、ラップドウェーハのエッチングを、それまでの酸エッチングから、アルカリ性エッチング液を用いたアルカリエッチングに変更し、しかもこのアルカリエッチ工程からウェーハ表面の鏡面研磨工程までの間に、アルカリエッチングによってウェーハ裏

面に形成された凹凸を軽く研磨して、その凹凸の幅を減少させる裏面軽ポリッシュ工程が組み込まれたものである。このように、酸エッチに代えてアルカリエッチを採用することで、ナノトポロジーが小さくなり、この結果、上述した各不都合が解消されることとなる。

【0004】

【発明が解決しようとする課題】 しかしながら、この従来技術においては、以下の課題が発生した。すなわち、

(1) アルカリエッチによれば、ナノトポロジーは小さくなるが、その反面、シリコンウェーハの表裏両面に周期1～100μmで、かつRmax=1～5μmの大きな粗さの凹凸が現出されてしまう。しかしながら、その後の鏡面研磨工程では、ウェーハ表面を鏡面化するために、このアルカリエッチによるウェーハ表面の凹凸を鏡面研磨時に除かなければならない。そのため、ウェーハ表面の研磨量が十数μmと大きくなり、研磨にかかる時間が長くなってしまっていた。しかも、従来の研磨による平坦度は、サイト平坦度、例えば20mm×20mmの面積をもつサイトで裏面基準の高さの差（S B I R）で、0.4～0.5μm程度と比較的大きくなっていた。

【0005】

【発明の目的】 この発明は、ナノトポロジーが小さく、高平坦度で、ウェーハ表面の鏡面研磨工程での研磨量が少ない半導体ウェーハの製造方法を提供することを、その目的としている。また、この発明は、ウェーハ裏面の輝度が、センサによるウェーハの表裏の検知が可能な輝度である半導体ウェーハの製造方法を提供することを、その目的としている。

【0006】

【課題を解決するための手段】 請求項1に記載の発明は、ラップ後の半導体ウェーハを、アルカリ性エッチング液によりエッチングするアルカリエッチ工程と、このアルカリエッチ後、半導体ウェーハの表面に、低ダメージ用の研削砥石を用いて低ダメージの研削を行なう表面研削工程と、この表面研削を行なってから、アルカリエッチによって半導体ウェーハの裏面に形成された凹凸を軽く研磨する裏面軽ポリッシュ工程と、この裏面軽ポリッシュ後、半導体ウェーハの表面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法である。

【0007】 ここでいう半導体ウェーハには、例えばシリコンウェーハ、ガリバ素ウェーハなどを挙げることができる。また、アルカリ性エッチング液としては、例えばKOH、NaOHなどの溶液が挙げられる。アルカリエッチ時のエッチング量は、ウェーハ表裏両面合わせて10～40μmである。さらに、表面研削工程は、少なくとも仕上げ時に低ダメージの表面研削が行なわれればよい。例えば、この仕上げ表面研削だけでもよいし、比較的粗い1次表面研削と、この仕上げ表面研削との組み合わせでもよい。さらに、1次表面研削と仕上げ表面研

削との間に2次研削を行なったり、3次研削以上の表面研削を行なってもよい。

【0008】表面研削の研削量は、通常、5～10 μmである。仕上げ用の表面研削装置に組み込まれる研削砥石としては、例えば、良質の合成樹脂を結合剤としてダイヤモンド砥粒を結合したレジノイド研削砥石を採用することができる。ただし、この仕上げ表面研削工程では、ウェーハ表面があれにくく、しかも非ダメージ面でも研削することができる高番手の研削砥石を用いた方が好ましい。具体例を挙げれば、#1000～#8000、好ましくは#2000～#4000のレジノイド研削砥石を採用することができる。さらに具体的な仕上げ表面研削用の砥石としては、例えばディスコ株式会社製の#1500～#3000のレジノイド研削砥石が挙げられる。また、このディスコ株式会社製のレジノイド研削砥石中でも、特に製品名「IF-01-1-4/6-B-M01」が好ましい。また、1次表面研削には、#300～#600のビトリファイド研削砥石を用いることができる。

【0009】表面研削での加工ダメージは、例えば2～3 μmである。ダメージが大きければ、のちの鏡面研磨における研磨量が増える。ちなみに、研磨量が10 μmを超えると、例えば研磨の前までは比較的高平坦度の半導体ウェーハであっても、ウェーハ表面のGBIRが低下するおそれがある。これは、もともと高平坦度のウェーハであったものをさらに研磨していく場合、その研磨量が約10 μmを超えたところで、反対に平坦度が低下する現象が起きるためである。ただし、この発明では、ウェーハ表面の鏡面研磨を行なう前に低ダメージの研削を施すため、研磨量を10 μm未満（例えば7 μmくらい）まで減らすことができる。したがって、鏡面研磨後のウェーハは高平坦度となる。

【0010】ここでいう裏面軽ポリッシュとは、アルカリエッチによってウェーハの裏面に形成された凹凸を軽度に研磨して、その凹凸の幅を小さくして軽い梨地面とすることを意味する。よって、このウェーハ裏面が、輝度に基づいてウェーハの裏面を検出するウェーハ裏面検出センサを用いたウェーハの表裏の検知が可能な輝度となる。ここでいう輝度とは、例えば日本電色株式会社製の光沢度計で測定した値であり、鏡面の場合は300以上となる。ウェーハ裏面の研磨量は限定されない。ただし、通常は請求項2の0.1～4.0 μm以下、好ましくは0.5～3.0 μm程度である。また、この裏面軽ポリッシュにより現出された梨地面の平坦度も限定されない。

【0011】上記鏡面研磨工程における研磨量は限定されない。通常は、従来の研磨量の12 μmよりも小さくなる。例えば7 μmくらいである。使用される研磨布には、例えば硬質発泡ウレタンフォームパッド、不織布にウレタン樹脂を含浸・硬化させたパッドなどが挙げられ

る。ここでいう半導体ウェーハの表裏面が高平坦度というのは、サイト平坦度、例えば20 mm×20 mmの面積をもつサイトで、裏面基準の高さの差（S B I R）が0.4 μm以下であることを意味する。

【0012】請求項2に記載の発明は、上記裏面軽ポリッシュ工程のウェーハ裏面の研磨量が0.1～4.0 μmである請求項1に記載の半導体ウェーハの製造方法である。

【0013】

【作用】この発明によれば、ラップドウェーハをアルカリエッチする。しかも、後工程において、ウェーハ裏面を軽く研磨する裏面軽ポリッシュ工程を施す。このため、ウェーハ裏面に比較的粗い凹凸が発生するというアルカリエッチの問題を解消し、しかも従来の酸エッチ後の鏡面研磨時に現出されていたウェーハ表面のナノトポロジーの問題を解消することができる。その結果、デバイス工程で、露光の解像度が低下したり、CMP工程を経た後でのデバイスの歩留りが低下したりするのを抑えることができる。次いで、アルカリエッチ後、ウェーハ表面に低ダメージの表面研削を行なう。これにより、のちの鏡面研磨時にウェーハ表面の研磨量が10 μm未満まで低減される。このように、表面研削によって低ダメージ化されたウェーハ表面の研磨量を10 μm未満としたので、鏡面研磨後のウェーハ表面は、上述した理由で、従来のウェーハと比較して高平坦度となる。しかも、このように研磨量が減ることから研磨時間も短縮される。

【0014】特に、請求項2の発明によれば、裏面軽ポリッシュ工程のウェーハ裏面の研磨量を0.1～4.0 μmとしたので、このウェーハ裏面の輝度を、センサによるウェーハの表裏の検知が可能な輝度とすることができる。

【0015】

【発明の実施の形態】以下、この発明の実施例を図面を参照して説明する。図1は、この発明の一実施例に係る半導体ウェーハの製造方法を示すフローシートである。図1に示すように、この実施例にあっては、スライス、面取り、ラップ、アルカリエッチ、表面研削、裏面軽ポリッシュ、鏡面研磨、仕上げ洗浄の各工程を経て、半導体ウェーハが作製される。以下、各工程を詳細に説明する。

【0016】CZ法により引き上げられたシリコンインゴットは、スライス工程（S101）で、厚さ860 μm程度の8インチのシリコンウェーハにスライスされる。次に、シリコンウェーハに面取り（S102）が施される。すなわち、ウェーハの外周部が#600～#1500のメタル面取り用砥石により、所定の形状にあらかじめ取りられる。これにより、このウェーハの外周部は、所定の丸みを帯びた形状（例えばMOS型の面取り形状）に成形される。

【0017】次に、この面取り加工がほどこされたシリコンウェーハは、ラッピング工程（S103）でラッピングされる。このラッピング工程では、シリコンウェーハを、互いに平行に保たれたラップ定盤の間に配置し、アルミナ砥粒と分散剤と水の混合物であるラップ液を、このラップ定盤とシリコンウェーハとの間に流し込む。そして、加圧下で回転・すり合わせを行なうことにより、ウェーハ表裏面を機械的にラップする。この際のラップ量は、ウェーハの表裏両面を合わせて4.0～8.0 μm程度である。

【0018】続いて、このラッピング工程後のシリコンウェーハに、アルカリエッティングが行なわれる（S104）。アルカリ性エッティング液としては重量濃度4.5wt%のNaOH溶液が用いられ、エッティング温度90°C、エッティング時間5～15分でエッティングが行なわれる。このように、従来の酸エッティングに代えてアルカリエッティングを採用したので、従来、酸エッチ後の鏡面研磨時に現出されていたウェーハ表面の周期0.2～2.0 mmのうねり（ナノトポロジー）を小さくすることができる。

【0019】次に、このエッチドウェーハには、ウェーハ表面を研削する表面研削が施される（S105）。この表面研削後、シリコンウェーハの裏面に軽い研磨である裏面軽ポリッシュが行なわれる（S106）。この裏面軽ポリッシュ用の研磨装置としては、枚葉片面研磨装置が採用されている。ウェーハ裏面の研磨量は0.5 μmである。この裏面軽ポリッシュを行なうことで、シリコンウェーハにアルカリエッティングを施したとき、ウェーハ裏面に比較的粗い凹凸が発生するという現象が抑えられる。しかも、この裏面軽ポリッシュ工程での研磨量を0.1～4.0 μmとしたので、ウェーハ裏面の輝度を、例えば日本電色株式会社製の光沢度計などのウェー

ハ裏面検出センサを使用しての、ウェーハ表裏の検知が可能な輝度とことができる。

【0020】その後、このウェーハの表面にバッチ式の鏡面研磨装置を用いて、鏡面研磨が施される（S107）。研磨量は7 μm程度である。ところで、鏡面研磨されるシリコンウェーハの表面は、あらかじめ表面研削工程で低ダメージ研削が施されている。したがって、この鏡面研磨工程では、その研磨量を、平坦度の低下がはじまる10 μmよりも小さな7 μmまで減らすことができる。その結果、鏡面研磨後のウェーハ表面は、SBRで0.4 μm以下の高平坦度ウェーハとなる。しかも、このように研磨量が減少することから研磨時間も短縮される。その後、洗浄工程（S108）を施す。具体的には、RCA系の洗浄とする。

【0021】

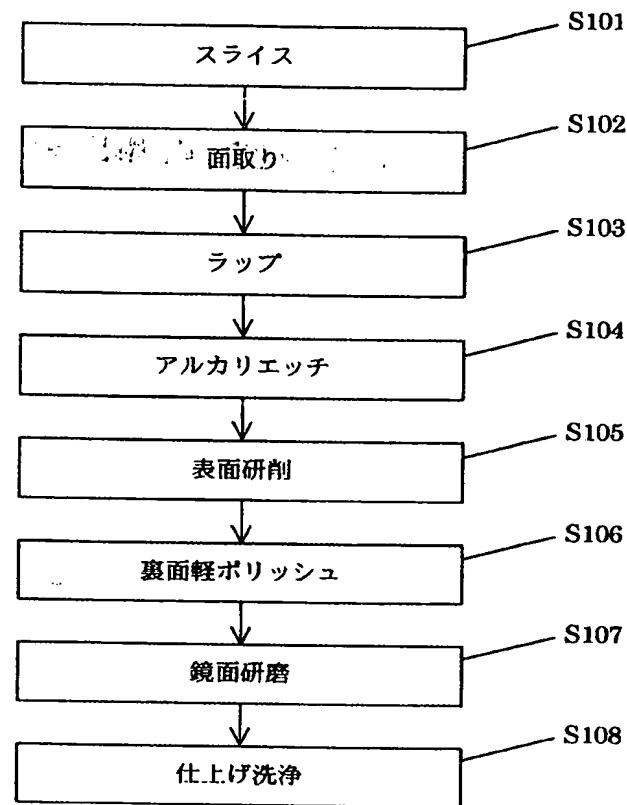
【発明の効果】この発明によれば、ラップドウェーハにアルカリエッチを施し、その後、裏面軽ポリッシュを施すようにしたので、ウェーハ裏面に比較的粗い凹凸が現出されるのを抑えながら、ナノトポロジーを小さくすることができる。これにより、デバイス工程での露光の解像度が低下したり、CMP工程を経た後でのデバイスの歩留りが低下したりするのを防ぐことができる。また、鏡面研磨されるウェーハ表面には、あらかじめ低ダメージの表面研削が施されているので、ウェーハ表面の研磨量を低減させることができ、しかも従来のウェーハに比べて高平坦度となる。

【0022】特に、請求項2の発明によれば、ウェーハ裏面の輝度を、センサによるウェーハの表裏の検知が可能な輝度とすることができます。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ウェーハの製造方法を示すフローシートである。

【図1】



THIS PAGE BLANK (USPTO)